

DERWENT-ACC-NO: 2006-004541

DERWENT-WEEK: 200601

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: Semiconductor integrated circuit e.g. large scale integrated circuit chip, has dummy cell comprising gate array with multiply arranged primitive cells, that is arranged around buffer circuit

----- KWIC -----

Basic Abstract Text - ABTX (1):

NOVELTY - A gate array has multiply arranged primitive cells having N-channel type metal oxide semiconductor (MOS) transistor and P-channel type MOS transistor along row direction and column direction. A dummy cell (20) arranged around buffer circuit (21), comprises the gate array.

Basic Abstract Text - ABTX (5):

dummy cell 20

Title - TIX (1):

Semiconductor integrated circuit e.g. large scale integrated circuit chip, has dummy cell comprising gate array with multiply arranged primitive cells, that is arranged around buffer circuit

Standard Title Terms - TTX (1):

SEMICONDUCTOR INTEGRATE CIRCUIT SCALE INTEGRATE CIRCUIT CHIP DUMMY CELL
COMPRISE GATE ARRAY MULTIPLICATION ARRANGE PRIMITIVE CELL ARRANGE
BUFFER
CIRCUIT

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-340461

(P2005-340461A)

(43) 公開日 平成17年12月8日(2005.12.8)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H O 1 L 27/118	H O 1 L 21/82	M 5 F O 3 8
H O 1 L 21/82	H O 1 L 27/04	H 5 F O 6 4
H O 1 L 21/822	H O 1 L 27/04	A
H O 1 L 27/04	H O 1 L 21/82	B
	H O 1 L 21/82	D
審査請求 未請求 請求項の数 4 O L (全 13 頁)		
(21) 出願番号	特願2004-156370 (P2004-156370)	
(22) 出願日	平成16年5月26日 (2004. 5. 26)	
(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号	
(74) 代理人	100112335 弁理士 藤本 英介	
(74) 代理人	100101144 弁理士 神田 正義	
(74) 代理人	100101694 弁理士 宮尾 明茂	
(72) 発明者	篠原 恒夫 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内	
F ターム (参考)	5F038 BH09 BH18 CA04 CA09 CA17 CA18 EZ08 EZ12 EZ20	
最終頁に続く		

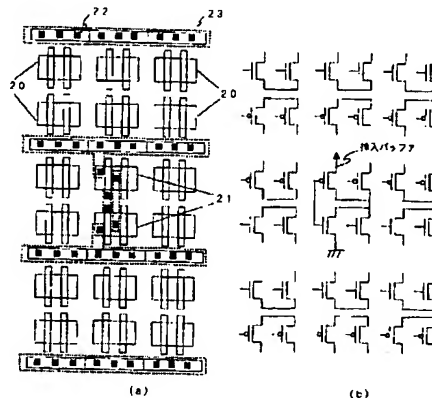
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 製造ばらつきによる動作不安定、ノイズ耐性の低下、ラッチアップ耐量の低下、といった問題点を解決する半導体集積回路装置を提供する。

【解決手段】 基本セル20は、PMOSバックゲート用N型拡散30とゲート電極31、33とP型トランジスタ32、N型トランジスタ34及び基板用P型拡散35からなる。この基本セル20を行方向および列方向に複数配列し、コンタクト孔22と1層メタル23によって、バッファ回路21の周辺を基本セル20で囲うようゲートアレイを構成し、且つ同様にコンタクト孔22と1層メタル23によってバッファ回路21およびバッファ回路21を囲うゲートアレイ状に配置された基本セル20のPMOSのNウェルを電源電位に、NMOSのサブストレートを接地電位に接続する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板上に、マクロブロック間の接続をバッファ回路によって行う半導体集積回路装置であって、

Nチャネル型MOSトランジスタおよびPチャネル型MOSトランジスタを有する基本セルを行方向および列方向に複数配置したゲートアレイを備え、

前記ゲートアレイは、それぞれ前記基本セルをベースとする論理を構成するセルとダミーセルとから構成され、前記論理を構成するセルが前記バッファ回路であり、該バッファ回路の周辺に前記ダミーセルを配置したことを特徴とする半導体集積回路装置。

【請求項 2】

前記ダミーセルが有するP型MOSトランジスタ及びN型MOSトランジスタ上に、電源電位および接地電位に接続されるメタル層を構成することを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】

前記基本セルと同じ大きさであり、Pサブストレートを接地電位に接続するためのP拡散およびNウェルを電源電位に接続させるためのN拡散によってそれぞれ構成されるガードリングセルを前記バッファ回路及び前記ダミーセルの周辺に配置することを特徴とする請求項 1 または請求項 2 に記載の半導体集積回路装置。

【請求項 4】

前記ゲートアレイが有するNチャネル型MOSトランジスタの周囲にディープNウェルを形成することを特徴とする請求項 1 から請求項 3 のいずれか 1 項に記載の半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置に関し、特にエンベディドアレイ方式の半導体集積回路装置に関するものである。

【背景技術】

【0002】

半導体装置のレイアウト開発手法として、スタンダードセルから構成されるソフトマクロレイアウト部と、メモリやI/Oセルと、CPUなどのハードマクロレイアウト部とをそれぞれブロック化してブロック同士を接続し、LSIチップを開発する階層レイアウト開発手法がある。図6は、従来技術における階層レイアウトの一例を示す説明図である。図6のような階層レイアウトにおいては、各ハードマクロブロック1a、1b、1c、1d（I/Oセル）とソフトマクロブロック2を配線によって接続し、信号線4のタイミング検証を行い、タイミングを満たさないパスに関してはバッファ回路3を挿入するが、通常このバッファ回路3は、ソフトマクロブロック2の中に配置される。

【0003】

一方、他信号のノイズの影響を回避したり、複雑に回り込む配線を回避したりする場合には、図6に示すように、例えば、I/Oセル1dとハードマクロブロック1cを接続するバッファ回路3をソフトマクロブロック外部に任意に配置したい場合がある。このように、クリティカルパスに対する最適なバッファ回路の挿入手法が開示されている（例えば、特許文献1参照）。

【0004】

図7は、上記従来技術で開示されているバッファ回路挿入方法の例を示す説明図である。図7に示すバッファ回路挿入手法は、例えば、I/Oセル1dとハードマクロブロック1cを接続する場合、1dと1c間の遅延パラメータと、1dと1cの間の配線（配線長L）による遅延量とを計算し、遅延量が最適になるように配線をLとL-L1に分割しバッファ回路3を挿入する、というものである。

【0005】

しかし、この手法では、図8に示すように、I Oセル1 dとハードマクロブロック1 fとを挿入バッファ3 aで接続する際に、挿入バッファ3 aが広いフィールド上に孤立して置かれることがある。この場合、レイアウト依存の製造ばらつきによる回路特性の変動、ノイズによる信頼性低下などが発生し易くなる。

【0006】

製造ばらつきの要因のひとつにローディング効果がある。ローディング効果とは、パターンの仕上り幅が、パターンの疎密度によって変動する現象のことである。図9のトランジスタM1、M2、M3を例に説明する。図9には、ウエル層及び注入層は図示していない。ここで、トランジスタM1、M2、M3のゲート長のレイアウト寸法は、等しくLとしている。図9(a)のようにトランジスタM1のポリシリコンゲートとトランジスタM2のポリシリコンゲートの間、およびトランジスタM2のポリシリコンゲートとトランジスタM3のポリシリコンゲートの間に光の回折が発生する。光の回折の結果、ポリシリコンゲートをパターンニングするためにポリシリコンゲートの上部に塗布されたレジストがレイアウト寸法より細くなる。この状態を図9(b)に示している。図9(b)では説明のためにレジストとポリシリコンゲートの大きさを異なって図示しているが、最終的にはポリシリコンゲートはレジストと同様のサイズになる。

【0007】

図9(b)に示したように、レイアウト寸法と仕上がり寸法の差分をaとすると、トランジスタM2のゲートポリシリコンは、トランジスタM1とトランジスタM2のゲートポリシリコンの両方の光の回折を受けるため、ゲート長が $L - 2a$ となる。一方、トランジスタM1は、トランジスタM2のみの、トランジスタM3は、トランジスタM2のみの光の回折を受けるため、共にゲート長は $L - a$ となる。これによりレイアウト時は同一だったゲートポリシリコンが仕上がり時には異なったサイズになり、特性ばらつきの原因となる。

【0008】

これらのレイアウト上の製造ばらつきの課題を解決するために、ダミーパターンの挿入が行なわれる。図9(c)にダミーパターンを挿入した一例を示す。図9(c)のようにトランジスタの周辺にダミーパターンを挿入することにより、光の回折を一様にしトランジスタM1、M2、M3のゲートポリシリコンの仕上がり寸法を同一にすることが可能になる。

【0009】

ダミーパターンを挿入することは、ウエハー面の平坦化という目的もある。図10を例に説明する。

【0010】

図10ではウエル層、拡散層等の図示は省略している。図10(a)のようにポリシリコンゲート1とポリシリコンゲート2が離れて配置されているときに、ウエハー面の研磨を行なうと、酸化膜の厚さのターゲットとして酸化膜の厚さをD1としたにもかかわらず、広い範囲においてポリシリコンの存在しない部分においては過研磨となってしまう酸化膜厚がD2になってしまうことがある。そこで、図10(b)のように、広い範囲においてポリシリコンゲートが存在しない領域にはダミーパターンを挿入し、過研磨を防止することによって、酸化膜表面の平坦化を行なえるようになる。図9、図10においては、ポリシリコンにおけるローディング効果、平坦化について図示しているが、メタル配線においても同じ事が言える。

【0011】

上述したように、ローディング効果の防止および酸化膜表面の平坦化のためにダミーパターン挿入が行なわれる。ダミーパターンが、図8のように広いフィールド上に孤立して配置するバッファ回路3 aの周辺に挿入された場合、レイアウトに依存した製造ばらつきは回避できるが、単にダミーパターンを挿入しただけでは、ノイズに弱いという欠点がある。特に、図8の場合に、I Oセルの近くに孤立したバッファ回路3 aを配置すると、L

S I 外部から P A D に対して進入するノイズによって動作不安定、E S D (E l e c t r i c S u r g e D e v i c e)、ラッチアップ等による信頼性低下を引き起こし易い。

【0012】

ノイズ、E S D 及びラッチアップについて図 1 1 を例に説明する。

【0013】

まず、図 1 1 (a) を例にノイズの影響について説明する。

【0014】

図 1 1 (a) は、信号線 7 と信号線 8 の間にダミーパターン 6 が設置され、酸化膜で絶縁されている状態を示す図である。この場合、信号線 7 とダミーパターン (ダミーメタル) 6 は、容量 9 により、信号線 8 とダミーメタル 6 は、容量 1 0 により、容量結合で接続される。このとき、ダミーメタル 6 は、どの信号線、電源線、接地線にも接続されていないため、信号線 7 に大きなノイズがのると容量 9 と容量 1 0 の電圧が変動し、信号線 8 へノイズとして干渉することになる。

【0015】

次に、図 1 1 (b) を用いて、E S D について説明する。図 1 1 (b) は、ノイズ源 1 1 がバッファ回路 1 2 と接続され、バッファ回路 1 3 が、ノイズ源 1 1 および回路 1 2 と未接続接続である状態を示している。ノイズ源 1 1 は、図 8 に示す P A D 5 に相当する。このような状態で、ノイズのレベルが大きい場合、バッファ回路 1 2 が破壊されやすいが、ノイズの大きさやレイアウトによっては、酸化膜で絶縁されているバッファ回路 1 3 も破壊に至ることがある。これは絶縁膜がノイズを遮断しきれずに回路部の弱い材質部分が破壊に至るからである。

【0016】

次に、図 1 1 (c) を例にラッチアップについて説明する。図 1 1 (c) は、C M O S プロセスの断面図、図 1 1 (d) は、その等価回路を示している。図に示すように C M O S プロセスでは M O S トランジスタ以外に構造的な寄生素子、寄生バイポーラトランジスタ Q 1、Q 2 と寄生抵抗 R 1、R 2 が存在している。寄生抵抗 R 1 は、N ウェルの抵抗成分であり、R 2 は P 基板の抵抗成分である。

【0017】

ここで、N ウェルに大きな電流が流れた場合、R 1 に電圧降下が生じ Q 1 がオンする。Q 1 がオンすると R 2 にも電流が流れ Q 2 がオンし、電源グラウンド間にサイリスタが構成されることになり、大電流が流れデバイスの破壊に至る。同様に、P 基板に大きな電流が流れた場合、R 2 に電圧降下が生じ Q 2 がオンする。Q 2 がオンすると R 1 にも電流が流れ Q 1 がオンし、電源グラウンド間にサイリスタが構成されることになり、大電流が流れデバイスの破壊に至る。このようにしてラッチアップが発生する。R 1、R 2 に電流が流れる原因は、主にサブストレートへ流入するノイズである。

【0018】

図 1 1 (a) の問題点の解決策としてダミーパターン 6 を電源または接地電位に接続し電位を固定するものがある。これにより信号線 8 は、容量 1 0 の電圧が信号線 7 に依存しなくなる為、ノイズの影響を受けなくなる。このようにしてダミーパターンによって信号線をシールドすることができる。図 1 1 (b) もバッファ回路 1 3 の周辺にダミーパターンを配置することで、それぞれのダミーパターン間に容量結合が構成されることになり、これらの容量でノイズを吸収できるようになる。

【0019】

図 1 1 (c) に示したラッチアップ発生への対策として、寄生抵抗 R 1、R 2 の抵抗値を下げるができる。そのためには、N ウェル、P 基板の局所的な電圧を安定させるために、電源に接続される N ウェル上の N 拡散の面積および接地電位に接続される P 基板上の P 拡散の面積をそれぞれ十分に広くレイアウトする必要がある。また、デバイスが構造的にラッチアップフリーになっているものがあり、ラッチアップ対策として挙げられている。

【0020】

ラッチアップフリー構造のデバイスのひとつにNMOSトランジスタのディープNウェル構造がある。図12にディープNウェルの構造を示す。図12に示したようにディープNウェルをNMOSトランジスタに使用すると、NMOSトランジスタはPウェルをサブストレートとし、NウェルおよびディープNウェルに囲まれるため、電源グランド間においてサイリスタが構成されない。このためラッチアップフリーになる。

【0021】

図11(a)、(b)に示したノイズの影響を除去する解決手段として、ダミーパターン6を電源電位、接地電位、他の信号線電位のいずれかに導通させ、ノイズ低減を計る技術がある(特許文献2参照)。図13に、特許文献2で開示されているダミーパターン挿入方法の従来例を示す。

10

【0022】

図13に示す従来例は、信号配線18の近傍にポリシリコンもしくはメタル層のダミーパターン14、15を任意に配置し、それぞれの接続部16、17によって、ダミーパターン14、15を電源、グランド、もしくは他の信号線電位に接続し、信号配線18をシールドすることによって、信号配線18のノイズを低減するものである。この従来例を図8に示すバッファ回路3aの周辺に採用することでバッファ挿入場所に関わらず、信号動作の安定化を図ることが可能になる。

【特許文献1】特開平9-17875号公報

【特許文献2】特開2001-35853号公報

20

【発明の開示】

【発明が解決しようとする課題】

【0023】

しかしながら、図13に示す従来例を図8に示したバッファ回路3aに周辺に採用しても、P基板電位、Nウェル電位を安定させることはできないため、図11(c)に示したラッチアップ耐量を増加することはできないという欠点がある。

【0024】

また、従来例におけるバッファ回路の挿入方法には以下の問題点もある。バッファ回路挿入の位置によって、製造ばらつきとノイズによる回路特性の変動が生じ、信頼性が低下する構成になることがある。

30

【0025】

そこで、本発明は、上記問題点に鑑み、広いフィールド上にバッファ回路を配置したい場合、製造ばらつきに対する対策を施しつつ、ノイズに耐性の強い構成を実現する半導体集積回路装置を提供することを目的としている。

【課題を解決するための手段】

【0026】

本発明に係る半導体集積回路装置は、上述した課題を解決するため、以下の特徴点を備えている。

【0027】

本発明に係る半導体集積回路装置は、Nチャネル型MOSトランジスタおよびPチャネル型MOSトランジスタを有する基本セルを行方向および列方向に複数配置したゲートアレイを備え、前記ゲートアレイは、それぞれ前記基本セルをベースとする論理を構成するセルとダミーセルとから構成され、前記論理を構成するセルが前記バッファ回路であり、該バッファ回路の周辺に前記ダミーセルを配置したことを特徴とする。

40

【0028】

本発明に係る半導体集積回路装置は、前記ダミーセルが有するP型MOSトランジスタ及びN型MOSトランジスタ上に、電源電位および接地電位に接続されるメタル層を構成することを特徴とする。

【0029】

本発明に係る半導体集積回路装置は、前記基本セルと同じ大きさであり、Pサブストレ

50

ートを接地電位に接続するためのP拡散およびNウェルを電源電位に接続させるためのN拡散によってそれぞれ構成されるガードリングセルを前記バッファ回路周辺に配置することを特徴とする。

【0030】

本発明に係る半導体集積回路装置は、前記ゲートアレイが有するNチャネル型MOSトランジスタにディープNウェルを形成することを特徴とする。

【発明の効果】

【0031】

本発明によれば、バッファ回路の周辺にゲートアレイを構成するダミーセルを配置して製造ばらつきを無くし、バッファ回路の安定動作を実現することが可能である。

10

【0032】

上記構成からなるゲートアレイを挿入することによって、バッファ回路がノイズにより動作が不安定となり、信頼性が低下するという欠点を克服し、ノイズ対策を施した高信頼性を有するバッファ回路を実現することができる。

【0033】

本発明によれば、ダミーセル上のメタルが、バッファ回路のメタル配線に対してシールドの効果をもたらせるため、ノイズをさらに低減することが可能である。

【0034】

従って、バッファ回路のメタル配線のローディング効果による製造バラツキを低減と、バッファ回路のメタル配線に対するシールドの効果によるノイズの低減とを効果的に行うことができる。

20

【0035】

本発明によれば、このようにバッファ回路、ダミーセル、コンタクト孔及びメタル配線層の周囲にディープNウェル構造を形成することにより、NMOSトランジスタのサブストレートであるPウェルがP基板と分離される為、完全にラッチアップフリーになり高信頼性を実現可能になる。

【発明を実施するための最良の形態】

【0036】

以下、本発明に係る半導体集積回路装置の実施形態を添付図面を参照して説明する。

【0037】

図中、同一の符号を付した部分は同一物を表わす。

30

【0038】

(第1の実施形態)

図1(a)は、本発明に係る第1の実施形態の半導体集積回路装置におけるマクロブロックと、他のマクロブロックとを接続する際に挿入するバッファ回路を含むゲートアレイのレイアウト図である。また、(b)は、(a)に対応する等価回路図である。

【0039】

ゲートアレイは、以下に説明するダミーセル20、バッファ回路21、コンタクト孔22及び1層メタル23から構成されている。

【0040】

40

ここで、ダミーセル20及びバッファ回路21は、Nチャネル型MOSトランジスタおよびPチャネル型MOSトランジスタを有する基本構造を有するセルからなり、この基本構造を有するセルを以下、基本セル19と呼ぶ。

【0041】

なお、図1(a)に示す配線層、層間接続孔、基本セルの配置等の構成は、一例を示すものである。

【0042】

以下に、基本セルを用いたゲートアレイの構成について説明する。

【0043】

図2(a)は、ゲートアレイの基本セルを説明する説明図である。また、図(b)は(

50

a) の等価回路図である。図 2 に示すように、基本セル 19 は、PMOS バックゲート用 N 型拡散 30 とゲート電極 31、33 と P 型トランジスタ 32、N 型トランジスタ 34 及び基板用 P 型拡散 35 からなる。この基本セル 19 を図 1 に示すように行方向および列方向に複数配列し、コンタクト孔 22 と 1 層メタル 23 によって、バッファ回路 21 の周辺を基本セル 20 で囲うようアレイを構成する。このように構成されたアレイにおいて、コンタクト孔 22 と 1 層メタル 23 によって、バッファ回路 21 およびバッファ回路 21 を囲うアレイ状に配置された基本セルを用いたダミー 20 の PMOS の N ウェルを電源電位に、NMOS のサブストレートを接地電位に接続する。

【0044】

上述した構成にすることにより、バッファ回路 21 と同じ寸法のポリシリコンゲートであるダミーセル 20 がバッファ回路 21 を囲うように複数配列されるために、バッファ回路 21 は、ローディング効果による製造ばらつきが無くなる。さらに、ダミーセル 20 の PMOS、NMOS それぞれのサブストレートを電源、グラウンドに接続することによって、バッファ回路 21 の周辺の基板電位がより安定し、基板を通して混入するノイズ対策、とりわけラッチアップ耐量を増加させることができる。

【0045】

したがって、図 11 ではポリシリコンまたは配線層をダミーパターンとして使用しているため、PMOS、NMOS トランジスタのサブストレート電位を十分に安定させることはできないという欠点を持つ一方、図 1 に示した構成は、ゲートアレイの基本セル 19 をダミーセル 20 として使用して、ダミーパターンを配置して製造ばらつきを無くし、安定動作を実現することが可能である。

【0046】

また、図 1 に示した構成は、図 6 で示したようなバッファ回路挿入方法ではバッファ回路 3 を挿入してもノイズにより動作が不安定となり、信頼性が低下するという欠点を克服し、ノイズ対策による高信頼性を実現することができる。

【0047】

(第 2 の実施形態)

図 3 は、図 1 に示したダミーセルのトランジスタ上にメタル配線し、電源、グラウンド線と接続した構成図である。

【0048】

本実施形態では、ダミーセル 20 のトランジスタ上にメタル配線を行い、PMOS の N ウェルを電源電位に、NMOS のサブストレートを接地電位に接続したものである。

【0049】

本実施形態における構成によれば、第 1 の実施形態で説明したのと同様にバッファ回路 21 のメタル配線のローディング効果による製造バラツキを低減することができる。

【0050】

更に、ダミーセル 20 上のメタルは、バッファ回路 21 のメタル配線に対してシールドの効果をもたらせるためノイズをさらに低減することが可能である。

【0051】

このように、図 11 で示したダミーメタルを電源、グラウンド線に接続しノイズを低減する方法（特許文献 2 参照）と同じであるが、レイアウト構成方法が異なる。また、図 10 ではダミーメタルは、基板とは接続されない点で異なる。

【0052】

従って、本実施形態では、バッファ回路 21 のメタル配線のローディング効果による製造バラツキの低減と、バッファ回路 21 のメタル配線に対するシールドの効果によるノイズの低減とを効果的に行うことができる。

【0053】

(第 3 の実施形態)

図 4 (a) は、図 4 に示した第 2 の実施形態において配置したバッファ回路とダミーセルにより構成したゲートアレイの外周にガードリングセルを配置する構成を示した構成図

である。図4(a)におけるガードリングセル1, 2, 3は、それぞれ図4(b)に示すガードリングセル40, 40a, (c)に示すガードリングセル41, 41a, 及び(d)に示すガードリングセル42, 42aに対応する。

【0054】

また、図4(b), (c), (d)それぞれに示す40, 41及び42と40a, 41a及び42aは、それぞれが(a)に示すように接続されて配置される。

【0055】

図4(e)は、バッファ回路とダミーセルをガードリングセルで囲う構成を示す構成図である。

【0056】

図4(b)(c)(d)中のガードリングセル40, 41及び42と40a, 41a及び42aは、P拡散またはN拡散である。N拡散の場合、周辺にNウエルを構成し、コンタクト孔と1層メタルにより電源電位に接続し、P拡散の場合、同様にコンタクト孔と1層メタルによりグランドに接続する。図4においては注入層、コンタクト孔、メタル層は図示を省略している。

【0057】

本実施形態では、上述した実施形態で説明したのと同様にバッファ回路20のメタル配線のローディング効果による製造バラツキを低減と、バッファ回路21のメタル配線に対するシールドの効果によるノイズの低減とを効果的に行うことができる。

【0058】

特に、ガードリングセルをバッファ回路21とダミーセル20を囲うように配置することにより、バッファ回路21およびバッファ回路21の基板電位が安定し且つIOバッファ、マクロ等の他の回路ブロックからのノイズを低減することが可能になる。

【0059】

(第4の実施形態)

図5は、第3の実施形態においてディープNウエルを付加した構成図である。なお、図5においては、コンタクト孔、メタル配線層は図示を省略している。

【0060】

本実施形態では、バッファ回路21、ダミーセル20、コンタクト孔及びメタル配線層の周囲にディープNウエルを形成したものである。本実施形態についても上記実施形態で説明したのと同様の効果を有する。特に、このようにバッファ回路21、ダミーセル20、コンタクト孔及びメタル配線層の周囲にディープNウエル構造を形成すると、レイアウトサイズはデザインルールに依存した分だけ大きくなるが、NMOSトランジスタのサブストレートであるPウエルがP基板と分離される為、完全にラッチアップフリーになり高信頼性を実現可能になる。

【0061】

尚、本発明に係る半導体集積回路装置は、上記した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変更を加え得ることは勿論である。

【図面の簡単な説明】

【0062】

【図1】(a)は、本発明に係る第1の実施形態の半導体集積回路装置におけるバッファ回路のゲートアレイのレイアウト図である。また、(b)は、(a)に対応する等価回路図である。

【図2】(a)は、ゲートアレイの基本セルを説明する図である。(b)は、基本セルの等価回路図である。

【図3】図1に示したダミーセルとしても用いた基本セルのトランジスタ上にメタル配線し、電源、グランド線と接続した構成図である。

【図4】(a)は、バッファ回路と基本セルを構成したゲートアレイの外周にガードリングセルを配置する構成を示した構成図である。(b)は、ガードリングセル1に対応する図である。(c)は、ガードリングセル2に対応する図である。(d)は、ガードリング

セル 3 に対応する図である。(e) は、バッファ回路、基本セル及びガードリングセルからなる構成図である。

【図 5】第 3 の実施形態においてディープ N ウエルを付加した構成図である。

【図 6】従来技術における階層レイアウトの一例を示す説明図である。

【図 7】従来技術で開示されているバッファ挿入方法の例を示す説明図である。

【図 8】ブロック間へバッファを挿入するレイアウトの一例を説明する図。

【図 9】(a) は、ローディング効果を説明するためのトランジスタ M1、M2 及び M3 の構成図である。(b) は、ローディング効果によりポリシリコンゲートの寸法が異なることを説明するためのトランジスタ M1、M2 及び M3 の構成図である。(c) は、ダミーシリコンゲートの挿入による平坦化不良を解消した構成図である。

10

【図 10】(a) は、研磨による平坦化不良を説明する構成図である。(b) は、ダミーシリコンゲートの挿入による平坦化不良を解消した構成図である。

【図 11】(a) は、信号線と信号線の間にダミーパターンを設置し、酸化膜で絶縁されている状態を示す図である。(c) は、寄生トランジスタ構成を含む CMOS プロセスの断面図である。(d) は、その等価回路である。

【図 12】ノイズの伝播と ESD、ラッチアップを説明するダミーパターン配置図である。

【図 13】ディープ N ウエル構造を説明する構成図である。

【符号の説明】

【0063】

20

1 a、1 b、1 c、1 d、1 e、1 f ハードマクロブロック

2 ソフトマクロブロック

3、2 1 バッファ回路

3 a 挿入バッファ回路

4 信号配線

5 PAD

6 ダミーメタル

7、8 信号線

9、1 0 容量

1 1 ノイズ源

30

1 2、1 3 回路

1 4、1 5 ダミーパターン

1 6、1 7 接続部

1 8 信号配線

1 9 基本セル

2 0 ダミーセル

2 2 コンタクト孔

2 3 1 層メタル

3 0 PMOS バックゲート用 N 型拡散

3 1、3 3 ゲート電極

40

3 2 P 型トランジスタ

3 4 N 型トランジスタ

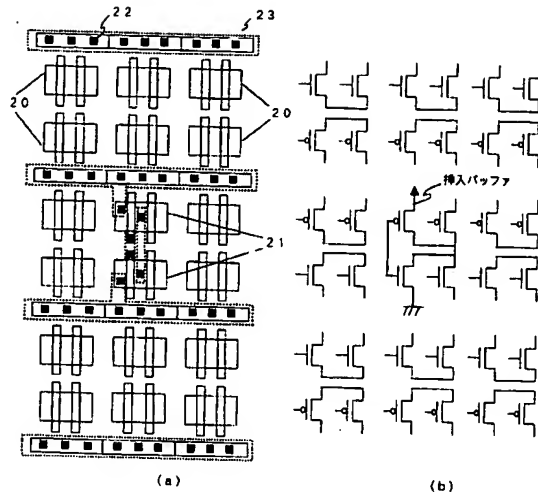
3 5 基板用 P 型拡散

4 0 ガードリングセル 1

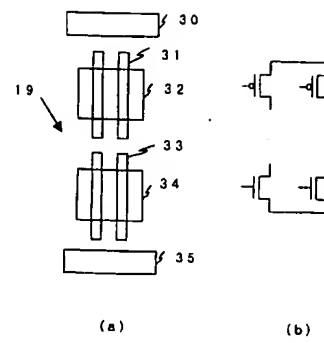
4 1 ガードリングセル 2

4 2 ガードリングセル 3

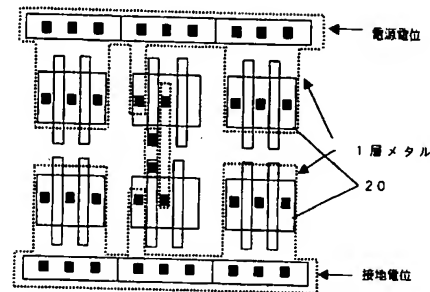
【図 1】



【図 2】



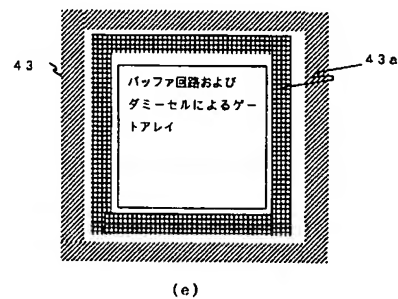
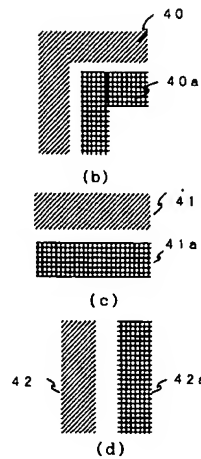
【図 3】



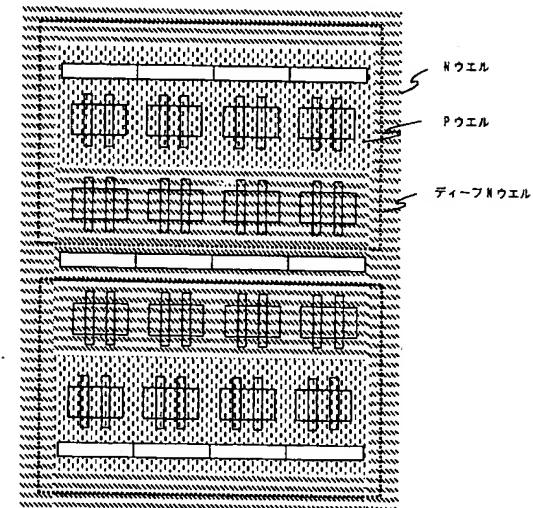
【図 4】

ガード リング セル 1	ガード リング セル 2	ガード リング セル 2	ガード リング セル 2	ガード リング セル 1
ガード リング セル 3	(ダミ ーセル) 基本セル	(ダミ ーセル) 基本セル	(ダミ ーセル) 基本セル	ガード リング セル 3
ガード リング セル 3	(ダミ ーセル) 基本セル	バッ ファ回 路	(ダミ ーセル) 基本セル	ガード リング セル 3
ガード リング セル 3	(ダミ ーセル) 基本セル	(ダミ ーセル) 基本セル	(ダミ ーセル) 基本セル	ガード リング セル 3
ガード リング セル 1	ガード リング セル 2	ガード リング セル 2	ガード リング セル 2	ガード リング セル 1

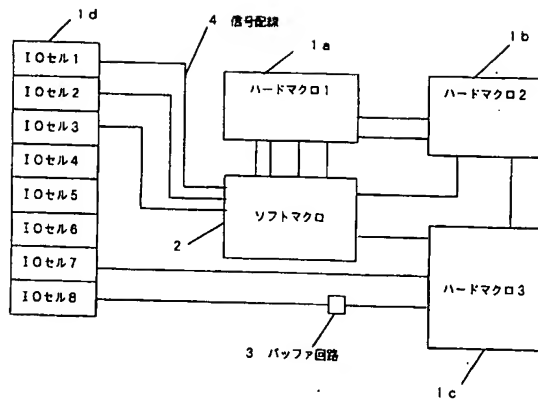
(a)



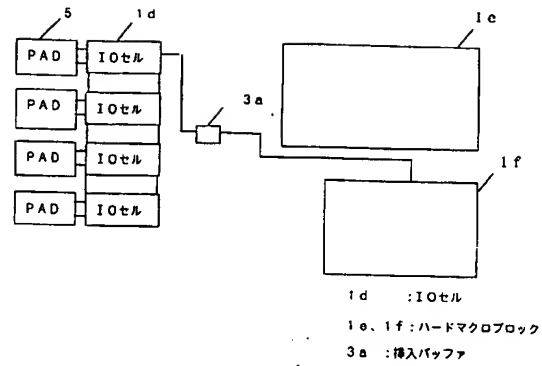
【図 5】



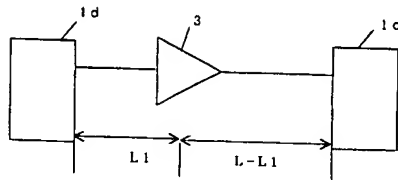
【図 6】



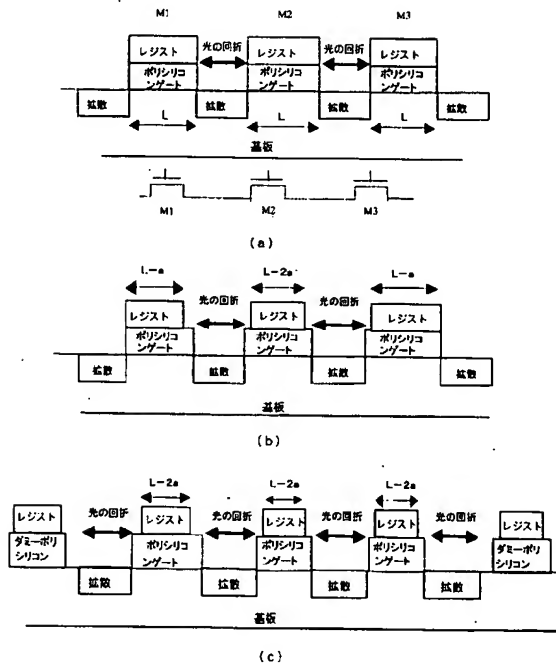
【図 8】



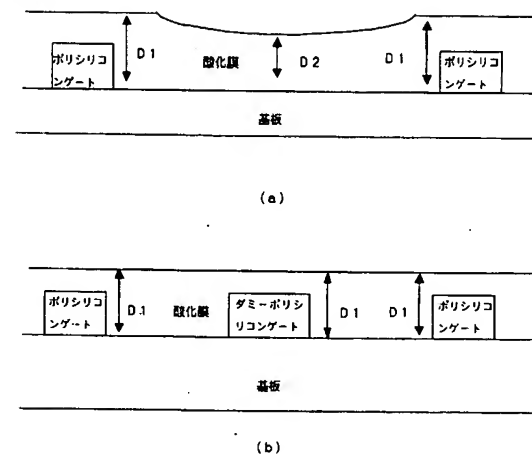
【図 7】



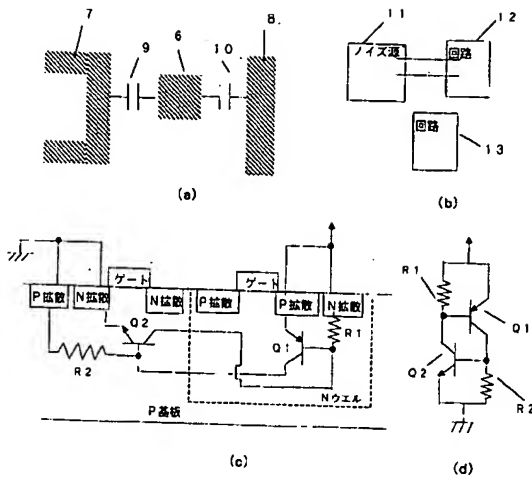
【図 9】



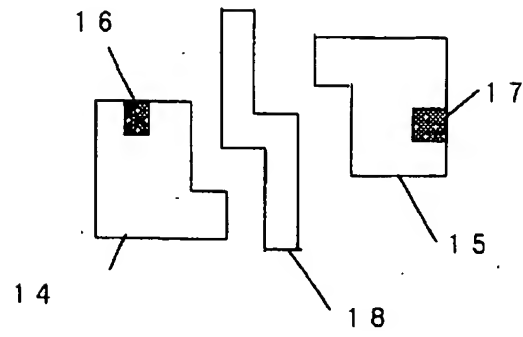
【図 10】



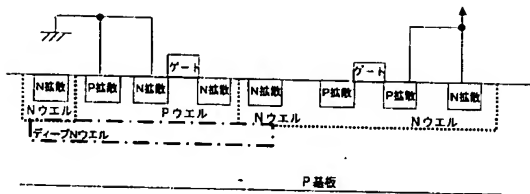
【図 1 1】



【図 1 3】



【図 1 2】



フロントページの続き

F ターム(参考) 5F064 AA03 AA05 BB02 BB26 CC12 DD10 DD13 DD19 DD24 DD26
EE02 EE06 GG10 HH06 HH12